

## ⑫ 公開特許公報 (A)

平2-158243

⑬ Int. Cl. 5

H 04 L 12/56  
H 04 Q 11/04

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)6月18日

7830-5K H 04 L 11/20 102 Z  
8226-5K H 04 Q 11/04 Z  
審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 バスマトリクススイッチング方式

⑯ 特願 昭63-312493

⑰ 出願 昭63(1988)12月9日

⑱ 発明者 野島

聰 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 発明者 竹山

明 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑳ 出願人 富士通株式会社

神奈川県川崎市中原区上小田中1015番地

㉑ 代理人 弁理士 古谷史旺

## 明細書

## 1. 発明の名称

バスマトリクススイッチング方式

## 2. 特許請求の範囲

(1) 入力ポート ( $2_i$ ) ( $i = 1, 2, \dots, n$ ) へ入力されたパケットをバスマトリクススイッチ (4) の横バス ( $6_i$ ) 及び縦バス ( $8_i$ ) を介して出力ポート ( $10_i$ ) へスイッチングさせるパケット交換装置において、

パケット入力待行列用バッファメモリ ( $12_i$ ) と、

該パケット入力待行列用バッファメモリ ( $12_i$ ) に接続され、パケットの空塞情報出力及び該出力のための禁止入力を有する前記縦バス数のパケットバッファ ( $14_{i1}, \dots, 14_{in}$ ) とを含んで前記入力ポート ( $2_i$ ) の各々を構成し、前記パケット入力待行列用バッファメモリ ( $12_i$ ) に蓄積されるパケットを対応する複数のパケットバッファ ( $14_{i1}, \dots, 14_{in}$ ) のう

ちの空バケットバッファへ転送する待行列管理部 (16) と、

各入力ポート毎に設けられ、当該入力ポート選択情報に応答してセレクタ入力へ接続されるパケットバッファからのパケットの出力制御及び当該パケットバッファの禁止入力への禁止信号の出力制御を為すセレクタ ( $18_1, \dots, 18_n$ ) と、

各パケットバッファの空塞情報に応答して次のスイッチングに使用する入力ポートを選択し、その選択情報を当該選択された入力ポート対応のセレクタへ転送する縦バススケジューラ (20) とを設けたことを特徴とするバスマトリクススイッチング方式。

## 3. 発明の詳細な説明

## 〔概要〕

格子点バッファを実質的に必要としない手段を設けたバスマトリクススイッチング方式に関し、

トラヒックについて必要な格子点バッファの除去及びブロッキングの発生防止を目的とし、

バスマトリクススイッチを用いるパケット交換装置において、パケット入力待行列用バッファメモリと、パケットの空塞情報出力及び該出力のための禁止入力を有する前記横バス数のパケットバッファとを含んで前記入力ポートの各々を構成し、前記パケット入力待行列用パケットメモリに蓄積されるパケットを対応する複数のパケットバッファのうちの空パケットバッファへ転送する待行列管理部と、入力ポート選択情報に応答してパケットの出力制御及び当該パケットバッファの禁止入力への禁止信号の出力制御を為す入力ポート毎のセレクタと、各パケットバッファの空塞情報に応答して入力ポートの選択及び当該選択された入力ポート対応のセレクタへの選択情報の転送を行なう縦バススケジューラとを設けて構成した。

#### 〔産業上の利用分野〕

本発明は、格子点バッファを実質的に用いず、そこにパケットを蓄積することから生ずる弊害を排除する手段を設けたバスマトリクススイッチン

数ずつ1つのグループとされ、対応入力バッファ52へ接続され、夫々の入力バッファ52のグループは対応横バス(SDバス)54, . . . , 54nへ接続される。各横バスには、受信転送回路56, . . . , 56nが介設されている。そして、n本の横バスの各々は格子点バッファ(FIFO)を介してn本の縦バス(PDバス)の各々へ接続される。それらの格子点バッファには参照番号5811, 5812, . . . , 581n; 5821, 5822, . . . , 582n; . . . ; 58n1, 58n2, . . . , 58nnを付してある。

そして、各縦バスには送信転送回路60, . . . , 60nが介設されている。その各送信転送回路の出力伝送路側縦バス部と、所定数ずつ1つのグループとされた出力伝送路の各々との間に出力バッファ62が夫々設けられてバスマトリクススイッチを用いた高速パケット交換装置が構成されている。

この高速パケット交換装置は、いずれかの入力伝送路へ入力され、入力バッファに蓄積されたパ

グ方式に関する。

従来のパケット交換機に大幅な処理能力を与える、従来の通信情報のほかマルチメディアの情報をも首尾よく交換処理し得る統合ネットワーク内の交換機たらしめるための主要な技術として、高速パケット交換技術がある。その基本概念は、

- (1) パケットのスイッチングをハードウェア上で並列処理すること、
- (2) 統合ネットワーク内のプロトコルを簡略化し、スイッチノードにおけるスループットを向上させること、

に集約される。

#### 〔従来の技術〕

上述のような高速パケット交換に用いられるアーキテクチャの1つとしてのバスマトリクススイッチを用いた高速パケット交換装置の一例が第4図に示すように構成されている。この図において、501, . . . , 50nは入力伝送路であり、これらの入力伝送路501, . . . , 50nは所定

ケットを受信転送回路の制御の下に横バスを介して格子点バッファへ転送蓄積した後、その格子点バッファのパケットを送信転送回路の制御の下に格子点バッファから読み出し、縦バスを介して転送先対応の送信バッファに一旦蓄積して出力伝送路へ伝送する。このようなパケット交換をハードウェアで並列的に行なうことにより、プロトコルの簡略化、スループットの向上を享受しつつパケット交換を高速に並列処理せんとするものである。

#### 〔発明が解決しようとする課題〕

このバスマトリクススイッチは、複数の横バスと縦バスとは互いに独立で、非同期で動作し、その両バスを格子点バッファを介して接続することにより入力バッファ(入力ポート)から出力バッファ(出力ポート)への通信バスを論理的な完全メッシュ構造の中に構築し、又瞬間的なトラヒックの集中に際しても格子点バッファにパケットを蓄積してパケットの紛失を回避し得ることにその特長がある。

しかし、このパケット交換装置の交換処理対象がマルチメディアの信号となると、そこへ入力されるトラヒックは、その多くがバースト的な発生分布を呈し、従って時系列上においてその分布を予測することは困難を伴うため、上述のバスマトリクススイッチ内部においてトラヒックが特定の格子点バッファに集中してしまうことが起こり得る。このような場合の対応策としては、格子点バッファを充分な容量のものとし、且つバスマトリクススイッチ内部のトラヒック量を入力において充分に低い値に制限する必要がある。

そうでないと、上述のようなトラヒック集中においてパケットの廃棄、消滅（以下、ブロッキングと称する。）が発生し得る。それは、のようなトラヒック集中の発生がない交換処理状態においては、格子点バッファによるトラヒック集中の吸収が為されているが、それを上回って来ると、格子点バッファにパケットのオーバーフローが生じてしまうからである。そのオーバーフローはトラヒックの発生分布とバスマトリクス内部のトラ

ヒック負荷率との関係で決まるもので、その発生確率は低いが存在し得るものである。

本発明は斯かる問題点に鑑みて創作されたもので、トラヒックについて必要となる格子点バッファを不要とするバスマトリクススイッチを提供することをその目的とする。

#### 〔課題を解決するための手段〕

第1図は本発明の原理ブロック図を示す。この図に示すように、本発明は、入力ポート2<sub>i</sub>（i=1, 2, ..., n）へ入力されたパケットをバスマトリクススイッチ4の横バス6<sub>i</sub>及び縦バス8<sub>i</sub>を介して出力ポート10<sub>i</sub>へスイッチングさせるパケット交換装置に次の構成要素を設けて構成した。

その構成要素としての各入力ポート2<sub>i</sub>を、パケット入力待行列用バッファメモリ12<sub>i</sub>と、該パケット入力待行列用バッファメモリ12<sub>i</sub>に接続され、パケットの空塞情報出力及び該出力のための禁止入力を有する前記縦バス数のパケットバ

ッファ（14<sub>11</sub>, ..., 14<sub>1n</sub>）とを含めて構成し、更に、前記パケット入力待行列用パケットメモリ12<sub>i</sub>に蓄積されるパケットを対応する複数のパケットバッファ14<sub>21</sub>, ..., 14<sub>2n</sub>のうちの空パケットバッファへ転送する待行列管理部16と、各入力ポート毎に設けられ、当該入力ポート選択情報に応答してセレクタ入力へ接続されるパケットバッファからのパケットの出力制御及び当該パケットバッファの禁止入力への禁止信号の出力制御を為すセレクタ18<sub>i</sub>と、各パケットバッファの空塞情報に応答して次のスイッチングに使用する入力ポートを選択し、その選択情報を当該選択された入力ポート対応のセレクタへ転送する縦バススケジューラ20とを前記構成要素としている。

#### 〔作用〕

入力ポート2<sub>i</sub>へ入力されるパケットはスイッチング情報を付加されてパケット入力待行列用バッファメモリ12<sub>i</sub>へ順次に蓄積される。

パケット入力待行列用バッファメモリ12<sub>i</sub>のパケットは待行列管理部16の制御の下に対応空パケットバッファ14<sub>2j</sub>（jは1, 2, ..., nのうちの1つで、空きを表す。）に書き込まれる。

パケットバッファ14<sub>11</sub>, ..., 14<sub>1n</sub>, 14<sub>21</sub>, 14<sub>22</sub>, ..., 14<sub>2n</sub>, 14<sub>31</sub>, 14<sub>32</sub>, ..., 14<sub>3n</sub>のうちの、出力禁止がかけられているものを除く夫々の空塞情報が各サイクル毎に縦バススケジューラ20によって参照されて入力ポート選択情報がそこから出力され、対応セレクタへ転送される。

そのセレクタにおいては、当該セレクタの入力に接続されるパケットバッファからのパケットの出力制御及び該パケットバッファの禁止入力への禁止信号の出力制御が生ぜしめられる。

セレクタから横バスへ出力されたパケットは、そこに付加されているスイッチング情報を指定される出力ポートへの縦バスに出力される。

上述のようにしてセレクタから出力されるパ

ットは、出力ポートへの出力のために用いられる縦バスへは必ず一時には一つのパケットとして送出されるから、トラヒックについて必要な格子点バッファを要することなしに、横バスから縦バスへ出力させることができる。つまり、ブロッキングの発生なしに、バスマトリクススイッチの特長である並列処理能力を保存しつつ、高速なパケット交換を行なうことができる。

#### 〔実施例〕

第2図は本発明の一実施例を示す。この実施例は $2 \times 2$ のバスマトリクススイッチについてのものである。この図において、 $1_{1,1}$ は入力伝送路、 $2_{1,2}$ は入力ポート、 $6_{1,6}$ は横バス、 $8_{1,8}$ は縦バス、 $20_{1}$ は縦バス用スケジューラである。縦バス用スケジューラ $20_{1}$ のうちの縦バス#1用スケジューラを $21$ として、又縦バス#2用スケジューラを $22$ として参照する。各横バスと各縦バスとの間（第2図の交点）には、これら両者間の非同期性を吸収するためにのみ必

要な格子点バッファが設けられる。従ってその非同期性のないバス構成のシステムにおいては、横バスから縦バスへの受渡しのためのゲート回路でよい。

各入力ポート $2_{1,2}$ は、入力伝送路又は端末とのインタフェースをとり、スイッチ内部へのパケット入力を制御するパケット入力処理部 $1_{1,1}$ 、 $1_{1,2}$ と、パケット入力待行列用バッファメモリ $1_{2,1,2}$ と、1つのパケットを保持するパケットバッファ $1_{4,1}, 1_{4,2}, 1_{4,3}, 1_{4,4}$ とを有する。 $1_{6,1}$ はパケット入力待行列用バッファメモリ $1_{2,1,2}$ からパケットバッファ $1_{4,1}, 1_{4,2}, 1_{4,3}, 1_{4,4}$ へのパケット転送を制御する待行列管理部であり、 $1_{8,1}, 1_{8,2}$ はセレクタである。パケット入力処理部 $1_{1,1}, 1_{1,2}$ は、入力伝送路又は端末装置から受信したパケットについて出力ポートを決定してそのためのスイッチング情報を付加するもので、パケットスイッチの入力ポートとして有する一般的な機能である。その決定された出力ポートを示すスイッチング情

報（使用バスNo）をパケットに付加してパケット入力待行列用バッファメモリ $1_{2,1,2}$ へ送出する。パケット入力待行列用バッファメモリ $1_{2,1,2}$ は、又所要数のパケットを蓄積し得る容量を有する。パケットバッファ $1_{4,1}, 1_{4,2}, 1_{4,3}, 1_{4,4}$ はそこにパケットを格納しているか否かの空塞情報出力及びそのための禁止入力を有し、空塞情報出力は後述のスケジューラの参照に供せられる。そして、セレクタ $1_{8,1}, 1_{8,2}$ は後述縦バススケジューラ $20_{1}$ からの選択情報を受け取り保持してその選択情報に応じてパケットバッファからのパケットの選択出力制御及び上述の禁止入力への禁止信号出力制御を行なう。

又、縦バス#1用スケジューラ $21$ と縦バス#2用スケジューラ $22$ との間はスケジューラ間結合線 $23, 24$ によって接続されて縦バス#1用スケジューラ $21$ と縦バス#2用スケジューラ $22$ とを一時には、1つのみを動作させるような制御系を構成している。その動作された（選択された）スケジューラは各入力ポートのパケットバッ

ファ $1_{4,1}, 1_{4,2}, 1_{4,3}, 1_{4,4}$ から空塞情報を受け取り、次のサイクルで縦バスを使用する入力ポートを選択すると共に、その選択情報は対応入力ポートのセレクタへ通知してそこに保持させる。

この構成の下におけるバスマトリクススイッチのスイッチングを以下に説明する。

入力伝送路 $1_{1,1}$ を介して入力ポート $2_{1,2}$ へ入力されて来たパケットの各々は、従来と同様にしてそのパケット入力処理部 $1_{1,1}, 1_{1,2}$ においてスイッチング情報を付加されてパケット入力待行列用バッファメモリ $1_{2,1,2}$ へ順次蓄積される。

そのパケット入力待行列用バッファメモリ $1_{2,1,2}$ のパケットは待行列管理部 $1_{6,1}$ の制御の下に対応のパケットバッファ $1_{4,1}, 1_{4,2}, 1_{4,3}, 1_{4,4}$ のうちの空パケットバッファへ書き込まれる。

一方、縦バス#1用スケジューラ $21$ 及び縦バス#2用スケジューラ $22$ を有する縦バススケジ

ューラ20, は、各転送サイクル毎に2つのスケジューラ21, 22のうちのいずれか一方を転送制御のための有効なスケジューラとして選択する。その選択された縦バススケジューラは、各入力ポート21, 22のパケットバッファ1411, 1412, 1421, 1422の空塞情報を参照し、次のサイクルで縦バスを使用する入力ポートを選択する。その選択情報は対応入力ポートのセレクタへ転送されてそこに保持される。そのセレクタでは、次の転送サイクルにおいて当該セレクタの入力へ接続されるパケットバッファのうちの転送順位となるパケットバッファから出力されるパケットを選択出力する。

出力されたパケットは、対応横バスを介して当該横バスに接続されている格子点バッファ乃至ゲート回路のうちのスイッチング情報で指定される格子点バッファ乃至ゲート回路を経て対応縦バスへ出力されてスイッチング情報で指定される出力ポートから当該パケットの転送先へ伝送される。このパケットバッファから出力ポートへの転送と

スケジューリングとはオーバーラップされて行なわれる。

上述の如く動作する例を以下に説明する。以下の説明では便宜上、パケット入力待行列用バッファメモリ121を入力1として、パケット入力待行列用バッファメモリ122を入力2としても参照する。

説明の都合上、交換処理における現る時点1における上述のパケット入力待行列用バッファメモリ121及びパケット入力待行列用バッファメモリ122の待行列バケット、並びに、縦バス#1用パケットバッファ121及び縦バス#2用パケットバッファ122のパケットは第3図の(A)に示すようなものとなり(なお、この時点以降においては入力パケットはないとする。)、その時点1におけるスケジュールは又、第3図の(A)に示す如く決定されたとすると、次の時点2において第3図の(B)に示すような縦バス#1用パケットバッファ121のパケットについての転送が生ぜしめられ、又パケット入力待行列用バッフ

アメモリ121及びパケット入力待行列用バッファメモリ122の待行列バケット、並びに縦バス#1用パケットバッファ1411, 1412及び縦バス#2用パケットバッファ1421, 1422のパケットは第3図の(B)の左側に示す如く、待行列管理部161の制御の下に更新され、又この時点におけるスケジュールも第3図の(B)の右側に示す如く更新される。

従って、時点3におけるパケットメモリ1411, 1412, 1421, 1422から縦バス1, 2(1は第2図の81に、2は82に対応する。)へのパケットの転送、及びパケット入力待行列用バッファメモリ121, 122から対応パケットメモリ1411, 1412, 1421, 1422へのパケットの転送、並びにスケジューリングは第3図の(C)に示す如くなる。

そして、同様の制御により、時点4でもパケットメモリから縦バスへのパケットの転送、及びパケット入力待行列用バッファメモリからパケットメモリへのパケットの転送、並びにスケジュー

リングが生ぜしめられる。この時点4における処理終了時には、交換処理すべきパケットは縦バス#2用パケットバッファ1422にあるのみであり、スケジュールは第4図(D)の右側に示すように決定され、そのスケジュールの下に縦バス#2用パケットバッファ1422にあるパケットは時点5において縦バス2(82)上へ送出せしめられて、送信転送回路(図示せず)の制御の下に送信先へ転送される。

なお、上記実施例に2×2のバスマトリクススイッチの例について説明したが、本発明はそのバス数に制限されずに実施し得る。又、入力伝送路は入力バスとされ、それに複数の伝送路がバッファを介して接続される構成のものであってもよい。スケジューリングもパケット転送とを交互にしてよい。

#### 〔発明の効果〕

以下述べたように本発明によれば、バスマトリクススイッチの格子点バッファとしては、横バス

と縦バスとの間の非同期性を吸収するに足りるバッファを設ければよく、ハードウェア量の大幅な削減となる。又プロッキングがなくなるから制御の簡易化となるし、バスの利用率も向上する。

## 4. 図面の簡単な説明

第1図は本発明の原理ブロック図、  
 第2図は本発明の一実施例を示す図、  
 第3図はスケジュール及び転送サイクルの例を示す図、  
 第4図は従来のバスマトリクススイッチング方式を示す図である。

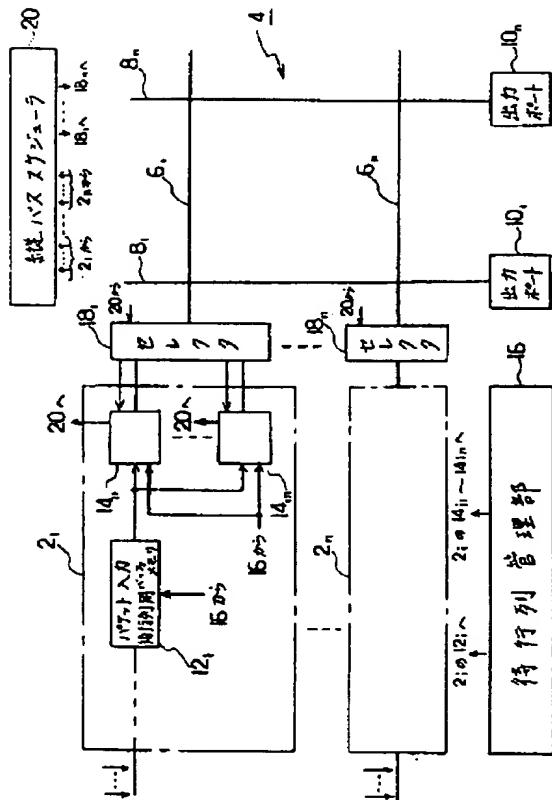
14<sub>11</sub> . . . 14<sub>nn</sub> はパケットバッファ、  
 18<sub>1</sub> はセレクタ、  
 20, 20<sub>1</sub> は縦バススケジューラである。

特許出願人 富士通株式会社  
 代理人 弁理士 古谷史

記入用印

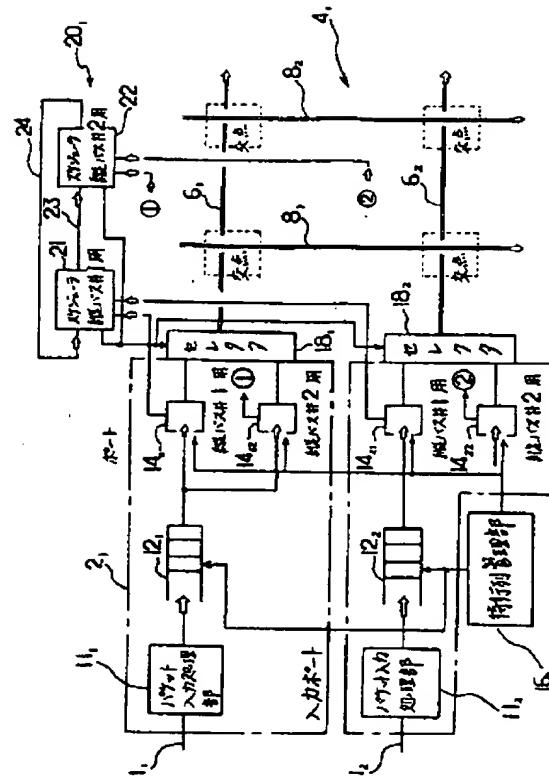
第1図及び第2図において、

2<sub>1</sub> は入力ポート、  
 4, 4<sub>1</sub> はバスマトリクススイッチ、  
 6<sub>1</sub> は横バス、  
 8<sub>1</sub> は縦バス、  
 10<sub>1</sub> は出力ポート、  
 12<sub>1</sub> はパケット入力待行列用バッファメモリ、



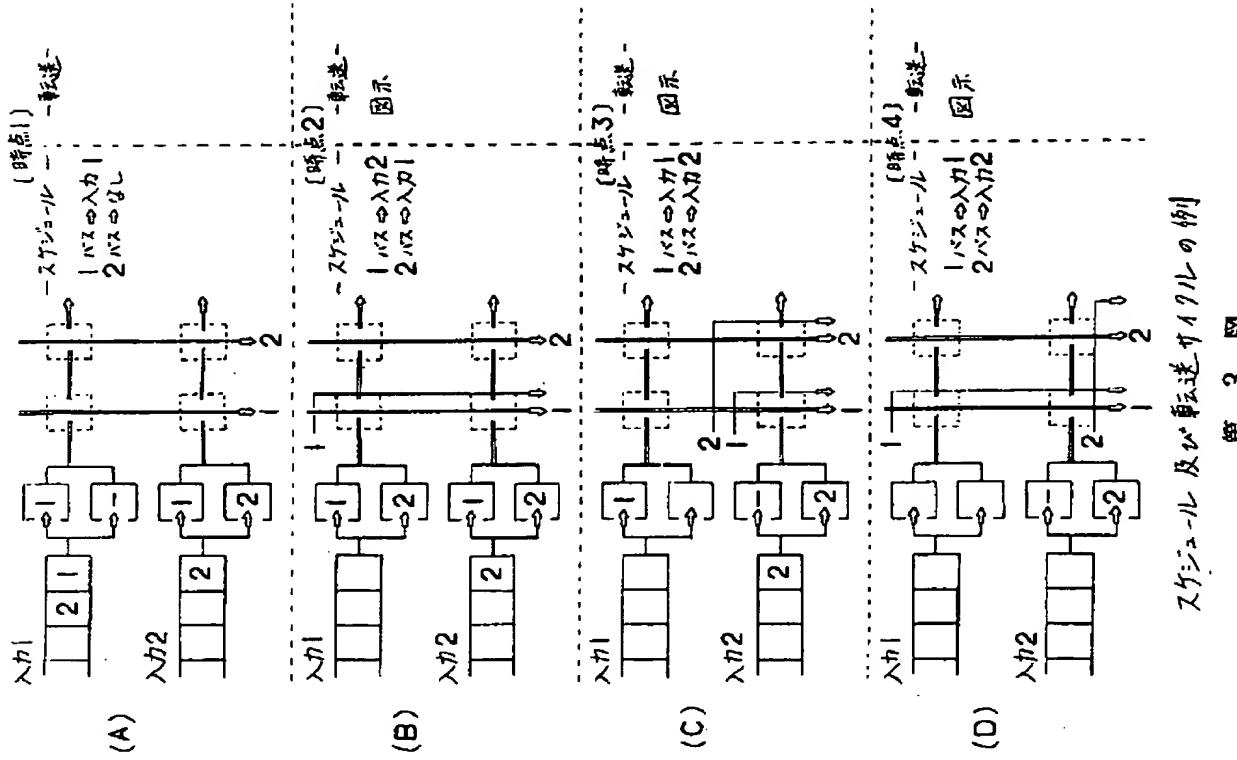
本発明の原理ブロック図

第1図



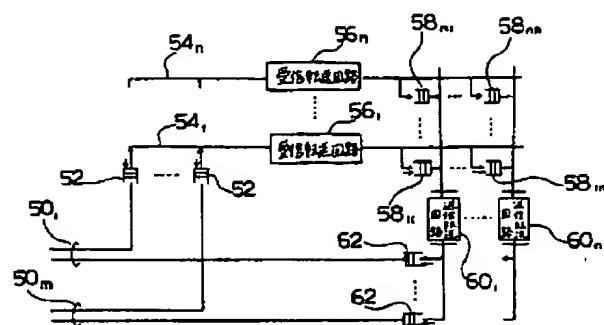
本発明の一実施例

第2図



スケジュール及び転送が19ルの例

第3図

従来のバスマトリクススイッチング方式  
を示す図

第4図

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**